

一种硬感知器的结构与 EPGA 实现

谢云, 章云, 刘冰茹, 易波

(广东工业大学 自动化学院, 广东 广州 510090)

摘要:分析了单个神经元神经网络(即感知器)的结构特征;介绍了自顶向下的 FPGAs 的设计方法,并在 QUARTUS™ II 软件平台上实现了单个神经元的硬件神经网络。

关键词:神经网络;感知器;FPGA;VHDL;自顶向下

中图分类号: TN91; TN402

文献标识码: A

文章编号: 1007-7162(2003)03-0046-04

神经网络是一种常用的学习方法. 它从功能上讲是一个高度复杂的非线性动力学系统, 虽然每个神经元的结构和功能都不算复杂, 但由大量神经元构成的网络系统的行为却是非常复杂的. 神经网络系统除了具有一般非线性系统的共性外, 更主要的是它有高维性、神经元之间的广泛互连性、自适应性和自组织性等特点^[1]. 因此, 人工神经网络广泛应用于信息处理和智能控制领域, 并且已经取得了多方面的进展和成果.

然而, 在神经网络的理论研究中, 人们通常将神经网络模型或者算法在计算机上编程模拟实现. 但要构造实际的神经网络应用系统, 必然要考虑硬件实现的问题. 专用神经网络硬件可提供高速度, 并且有比串、并行计算机高得多的性能价格比, 所以, 特定应用下的高性能专用神经网络硬件, 才是神经网络研究的最终目标. 硬神经网络是解决其学习速度慢、满足实时控制需要的必由之路^[2].

神经网络是由大量神经元通过特殊形式的加权网络相互联接而形成的. 可以认为: 神经网络由两种基本单元构成, 即收集信号并且完成非线性变换的神经元胞, 以及完成各神经元之间的加权互连的突触. 标准的神经网络 VLSI 实现方式是在单个芯片上集成多个神经元和突触单元, 并且将它们按某种通信结构组成神经网络系统. 此外, 还有基于 ASIC 结构的, 针对神经网络运算特点进行优化和简化设计的 FPGA 实现方式; 以及基于商业处理器(如数字信号处理、RISC 单片处理等)的模拟神经网络的多处理器结构的 VLSI 实现方式.

本文采用标准的神经网络 VLSI 实现方式, 从神经网络的基本单元——感知器(即神经元)入手, 结合针对感知器的特点进行优化和简化设计的 FPGA 实现方式, 探讨感知器的 FPGA 硬件实现; 同时, 也为专用神经网络的硬件实现做好准备.

1 感知器

神经网络是由若干神经元组成的, 单个神经元的神经网络又称为感知器. 若干个具有相同功能(不同权值)的感知器, 按照不同的联接方式可组成不同的神经网络^[3]. 例如, 美国加利福尼亚大

收稿日期: 2002-07-15

作者简介: 谢云(1964-), 女, 副教授, 主要研究方向为电子技术、通信与信息技术、智能机器人技术.

学的 PDP(Parallel Distributed Processing)小组,在早期的感知器模型基础上加以改进后,于 1986 年提出多层前馈神经网络.它对样本的学习是通过误差反向传播学习算法(即 Back Propagation 算法)实现的,因而也称为 BP 神经网络.

感知器模型是模仿生物神经元而提出 K 的.一般来说生物神经元的兴奋与否,取决于外界刺激强度的大小.当外界刺激累计不超过某一限度(阈值)时,神经元处于抑制状态;当外界刺激超过该阈值时,神经元就会兴奋.其基本结构如图 1 所示^[4].

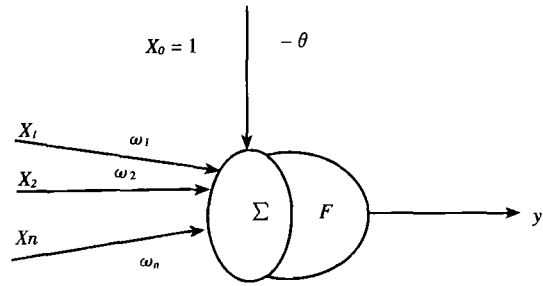


图 1 感知器的结构

假设, $x_i (i = 1, 2, \dots, n)$ 为感知器模型的输入分量, ω_{ij} 为第 i 个输入分量与第 j 个神经元的联接权, θ_j 为该神经元的阈值, f_j 为激活函数, y_j 为该神经元的输出,则神经元的输入为

$$u_j = \sum_{i=1}^n \omega_{ij} x_i - \theta_j. \quad (1)$$

若令 $\omega_{0j} = -\theta_j, x_0 \equiv 1$, 则输入可写为

$$u_j = \sum_{i=0}^n \omega_{ij} x_i, \quad (2)$$

该神经元的输出为

$$y_j = f_j(u_j), \quad (3)$$

其中, 激活函数 f_j 通常是非线性函数.

总之, 感知器内部的主要运算有: 加权乘法、激励输入累加、阈值处理、非线性函数运算等.

2 感知器的 FPGA 实现

2.1 FPGA 与自顶向下的系统设计方法

FPGA 是现场可编程门阵列(Field Programmable Gate Array)的简称. 目前市场上有多品种不同系列的 FPGA 芯片, 其集成度已经达到百万门级. 用 FPGA 构造神经网络时, 可以灵活地实现各种运算功能和学习规则, 并且设计周期短、系统速度快、可靠性高. 所以, 对非专业的 VLSI 设计者而言, FPGA 无疑是首选的实现神经网络的硬件芯片.

对 FPGA 的设计有多种输入方法, 如图形法、硬件描述语言法和状态机输入法等. 本文采用图形法与硬件描述语言 VHDL^[5]相结合的自顶向下的系统设计方法^[6], 来构造一个感知器小系统. VHDL 是 Very High Speed Integrated Circuit Hardware Description Language, 即超高速集成电路硬件描述语言. VHDL 描述能力强、可读性好, 易于生成 IP 模块和软核供重复调用; 可在多种 EDA 平台上运行, 易于综合、形成网表.

自顶向下的系统设计方法从系统设计入手, 在顶层进行功能框图的划分和结构设计; 在框图一级可进行仿真和修正, 并且可用硬件描述语言对高层次进行行为级描述, 实现系统级的验证; 然后用综合优化工具生成具体的电路级网表, 它对应的物理实现为印制电路板或者专用集成电路. 而且, 利用 EDA 软件强大的仿真功能, 可以在高层次上完成整个系统的调试过程. 其最大的优越性在于: 顶层的功能描述可以完全独立于目标器件的结构, 设计成果可以以 IP 核的方式进行存档, 保证了知识产权; 可实现多任务的并行工作方式, 使系统的设计规模和效率大幅度提高; 在选择实现系统目标器件的类型、规模、硬件结构等方面也具有更大的自由度.

2.2 用 FPGA 实现的神经元感知器的结构

针对感知器主要由加权乘法器、累加器、阈值门限、非线性函数等组成特点,下面对其结构进行优化和简化设计。

因为感知器的输入分量 x_i 和联接权 ω_{ij} 都可以有 n 个,如果不加变化地采用 n 加权乘法器,会需要大量的($2 \times 8n$ 个)引脚资源,对硬件芯片来说是不可行的。所以,本文采用的方法是由一个时钟序列控制 x_i 和 ω_{ij} 串行输入。而且,由于 FPGA Flex10k 的参考时钟可达 115 MHz,对一般的控制系统而言,这种串行输入法引起的时延是纳秒级,完全可以忽略。

假设输入、输出和权值均为 8 bit 的二进制数,加权乘法器可以由一个 8×8 位的二进制补码乘法器实现;激励输入累加用一个 20 位的前向进位加法器和一个 20 位加法累加器共同完成;阈值处理用一个定标逻辑来实现;非线性函数运算可以对非线性函数存储器进行查表。因此,我们得到一种用 FPGA 实现的感知器结构如图 2 所示。虚线框内为神经元电路。

在这种结构中, n 个输入 x_i 和权值 ω_{ij} 先在缓冲器暂存,然后由控制单元产生的时钟信号 clk 的上升沿触发,逐个输入神经元作乘法。并且,后面的累加也在时钟信号 clk 的同步控制下进行。定标逻辑实际上是一个计数器,它的作用是保证 n 个输入 x_i 和权值 ω_{ij} 都相乘并求和之后,能够准时用式(3)求输出 y_j 。较复杂的非线性函数 f 运算,一般采用查询表的方法,即把非线性函数的采样值以足够的密度存入存储器,运算变换为对对应存储单元的寻址。也可以利用插值技术和分段线性函数近似方法来实现。

2.3 用 FPGA 设计神经元感知器小系统

本文选用 ALTERA 公司的 QUARTUS II 1.0 版本作为 EDA 软件设计平台。

在顶层(top layer)用图形法设计各功能模块及其相互之间的关联。顶层的功能模块有: 8×8 bit 二进制补码乘法器、20 bit 前向进位快速加法器、20 bit 累加器、计数器、定标逻辑及符号函数运算器等六部分,如图 3 所示。对设计进行编译(Compiler)和仿真(Simulator)之后,生成一个新的神经元元件(Symbol)——“sencell”,见图 4。图 4 表示了神经元作为元件的外部特征,如输入向量 XI 、输出向量 YJ 、权值向量 WIJ 、输入样本数目向量 N 、及工作使能 EN 和时钟 CLK 等。

在低层对各模块的细节进行具体设计。有些模块在 QUARTUS II 的库(Library)里有现成的元件,如二进制补码乘法器、加法器、累加器、计数器等,基本上都可以直接调用,需要做的只是设置所需的参数,如 16 位的乘法器、20 位的加法器、20 位的累加器等。本文用 VHDL 设计了计

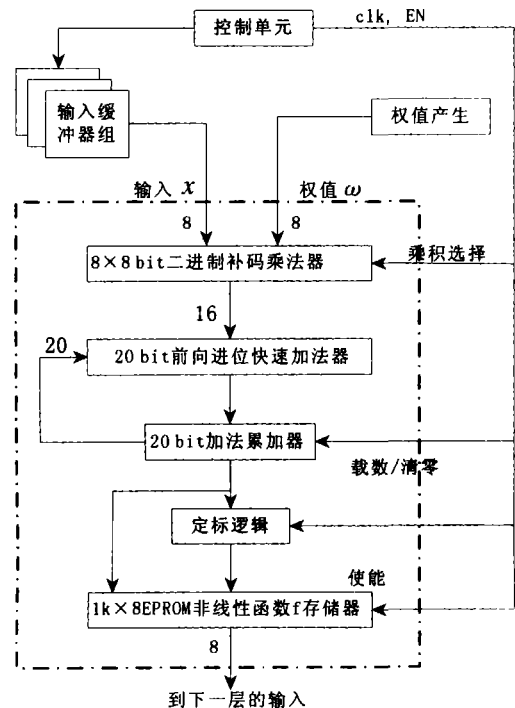


图 2 一种用 FPGA 实现的神经元感知器结构

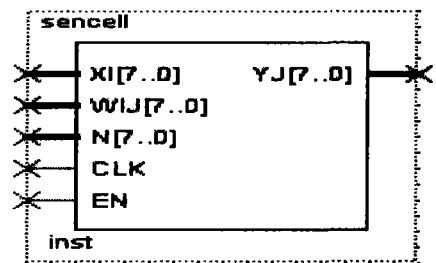


图 4 神经元外部特征

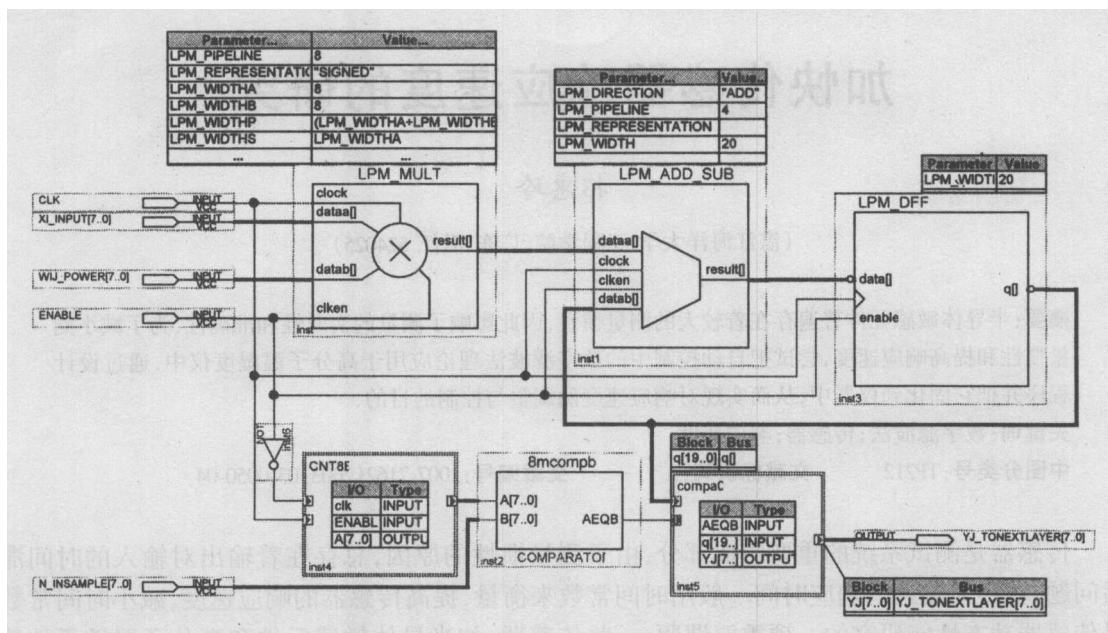


图3 顶层(top layer)设计

数器、定标逻辑及符号函数运算器等。计数器是对输入样本的数目 N 计数,考虑神经元元件的通用性,为使它可用于大量样本的情况,该计数器设计为 8 bit 的计数器。此外,定标逻辑只是一个比较器,即当计数器的计数值达到样本数目 N 时,产生一有效信号,开启符号函数运算器,产生输出 y 。为了简单起见,本文采用符号函数作激活函数:

$$f(x) = \text{sgn}(x). \quad (4)$$

3 结论

硬感知器作为人工神经网络的一个基本单元(即神经元),将若干个具有不同权值的硬感知器按不同的联接方式连接起来,就构成不同的专用神经网络系统,例如 BP 网络、Hopfield 网络等。硬感知器的 FPGA 实现为人工神经网络的硬件化做了一次初步的探索,为以后进一步的研究奠定了基础,其后续成果的应用前景不可轻视。

本文设计的 FPGA 硬感知器“sencell”,配置在 Altera 公司的 Flex10k 一万门系列芯片 EPF10K10LC84 上,大约占用三分之二的硬件资源。当实现一个三层感知器时,将要 Flex30k 以上的 FPGA 目标芯片才能满足资源的需求。当然,由于本文调用了三个库元件,有一定程度的资源浪费。如果全用 VHDL 语言编程,并做进一步的优化、综合,可以更为节省资源。

参考文献:

- [1] 洪炳熔,薄喜柱.基于人工神经网络的足球机器人分层学习研究[J].计算机工程与应用,2001,(23):75-77.
- [2] 何振亚.神经智能[M].湖南:湖南科学技术出版社,1997.308-332.
- [3] 易继锴,侯媛彬.智能控制技术[M].北京:北京工业大学出版社,1999.98-107.
- [4] 张庆年.前馈神经网络的特性分析与应用[J].武汉交通科技大学学报,1999,(8):372-375.
- [5] I BHASKER. A Guide to VHDL Syntax Based on the now IEEE std1076-1993[Z]. AT&T Bell laboratories. Allentown. PA.1993.

(下转第 53 页)

参考文献:

- [1] 曹秀吉, 阎明印. 自然热电偶的动态特性研究[J]. 新技术新工艺, 1997, (2): 12-13.
- [2] 贺智修. 自动控制实用教程[M]. 北京: 电子工业出版社, 1996.
- [3] 尤昌德, 朱刚. 一种智能实时测量方法研究[J]. 西安交通大学学报, 1995, 29(2): 28-32.
- [4] 樊为民, 唐学忠. VisualBasic6 程序设计教程[M]. 北京: 中国电力出版社, 2002.
- [5] 邝泳聪, 刘桂雄. 测频测周方法下的高分子湿度传感器特性研究[J]. 华南理工大学学报, 2000, 28(7): 64-68.

Study on Method of Improving Response Speed for Sensor

ZHAO Hui-ling

(College of Engineering, Zhanjiang Ocean University, Zhanjiang 524025, China)

Abstract: There is ordinarily the measure inertia in some semiconductor sense elements. So it affects the real-time performance and accuracy of the measure. For reducing the measure inertia and improving the response speed, the digital filter method in automation is used in high polymer humidity and temperature device. Through designing the computer program, the purpose of adjusting the response speed can be realized.

Key words: digital filter method; sensor; response speed

(上接第 49 页)

- [6] 庄镇泉, 胡庆生. 电子设计自动化[M]. 北京: 科学出版社, 2000. 175-181.

Structural Design of a Hard-wired Sense Part and Its Realization with FPGA

XIE Yun, ZHANG Yun, LIU Bing-ru, YI Bo

(Faculty of Automation, Guangdong University of Technology, Guangzhou 510090, China)

Abstract: The paper analyzes the structure features of single neural network (viz. sense part), puts forward a design method of Top-Down with FPGA, and implements a hard-wired sense part on the flat roof of QUARTUS™ II.

Key words: neural network; sense part; FPGA; VHDL; Top-Down